

#2

P. B.

12.27.01

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 :
Application Number

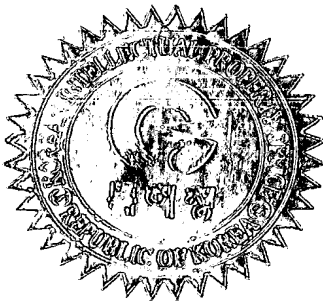
특허출원 2001년 제 28257 호
PATENT-2001-0028257

출원년월일 :
Date of Application

2001년 05월 23일
MAY 23, 2001

출원인 :
Applicant(s)

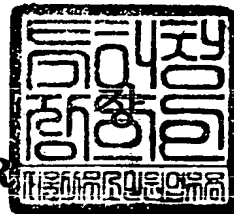
삼성전자 주식회사
SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.05.23
【발명의 명칭】	공유벌크로 형성된 섹터구조를 갖는 불휘발성 반도체 메모리 장치
【발명의 영문명칭】	non-volatile semiconductor memory devices having sector structure formed with common bulk
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	이병훈
【성명의 영문표기】	LEE, Byeong Hoon
【주민등록번호】	680502-1057722
【우편번호】	121-240
【주소】	서울특별시 마포구 연남동 567-24호
【국적】	KR
【발명자】	
【성명의 국문표기】	이승근
【성명의 영문표기】	LEE, Seung Keun
【주민등록번호】	661206-1011411
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 상록마을 임광APT 407동 202호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김능균 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 7 항 333,000 원

【합계】 364,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

고속 동작에 지장을 초래함이 없이 칩의 레이아웃 면적을 최소화하는 노아 타입 플래쉬 메모리의 섹터구조가 개시된다. 복수의 워드라인들중 각기 대응되는 워드라인에 게이트들이 연결되고 복수의 비트라인들중 각기 대응되는 비트라인에 동일한 워드라인을 공유하지 않는 드레인들이 연결된 복수의 메모리 셀 트랜지스터들로 이루어진 셀 어레이 블록과; 상기 셀 어레이 블록내의 메모리 셀 트랜지스터들의 소오스들에 공통으로 연결되어 소오스 전압을 인가하는 소오스 라인 드라이버와; 상기 복수의 비트라인들중 하나의 비트라인을 선택하기 위해 복수의 비트라인들과 공통데이터 라인간에 연결된 복수의 컬럼 디코더로 이루어진 섹터를 복수로 구비한 불휘발성 반도체 메모리 장치는, 상기 복수의 메모리 셀 트랜지스터와 상기 복수의 컬럼 디코더의 트랜지스터들이 동일한 웰상에 형성되도록 하여 벌크영역이 공유되게 함에 의해, 상기 동일한 벌크영역으로 벌크전압을 공통으로 인가하는 벌크 드라이버를 상기 섹터마다 구비한다.

【대표도】

도 3

【색인어】

불휘발성 반도체 메모리 장치, 섹터, 소거, 벌크영역, 레이아웃

【명세서】

【발명의 명칭】

공유벌크로 형성된 섹터구조를 갖는 불휘발성 반도체 메모리 장치
{non-volatile semiconductor memory devices having sector structure formed
with common bulk}

【도면의 간단한 설명】

- 도 1은 통상적인 노아타입 플래쉬 메모리의 섹터구성도
- 도 2는 도 1에 따른 섹터의 단면구조도
- 도 3은 본 발명의 실시 예에 따른 노아타입 플래쉬 메모리의 섹터구성도
- 도 4는 도 3에 따른 섹터의 단면구조도
- 도 5는 도 3내의 소오스 라인 드라이버의 구체도
- 도 6은 도 3내의 벌크 드라이버의 구체도
- 도 7은 통상적인 노아 타입 메모리 셀 트랜지스터의 단면 구조도
- 도 8은 도 7을 구동하기 위해 필요한 동작모드별 인가 전압을 보인 도면

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 전기적으로 소거 및 프로그램가능한 불휘발성 반도체 메모리 장치에 관한 것으로, 특히 불휘발성 반도체 메모리장치의 개선된 섹터구조에 관한 것이다.
- <10> 통상적으로, 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치와 불휘발성 반도체 메모리 장치로 나뉘어진다. 휘발성 반도체 메모리 장치는 다시 다이 나믹 랜덤 액세스 메모리(dynamic random access memory)와 스테틱 랜덤 액세스 메모리 (static random access memory)로 분류될 수 있다. 그러한 휘발성 반도체 메모리 장치는 읽고 쓰는 속도 면에서는 빠르지만 외부 전원 공급이 중단되면 메모리 셀에 저장된 내용이 소실되는 단점을 갖는다. 한편, 불휘발성 반도체 메모리 장치는 마스크 롬(mask read only memory: MROM), 프로그래머블 리드 온리 메모리(programmable read only memory:PROM), 소거 및 프로그램 가능한 리드 온리 메모리(erasable programmable read only memory:EPROM), 전기적으로 소거 및 프로그램 가능한 리드 온리 메모리(electrically erasable programmable read only memory:EEPROM) 등으로 분류된다.
- <11> 상기한 종류의 불휘발성 반도체 메모리 장치는 외부의 전원 공급이 중단되더라도 메모리 셀내에 그 내용을 영구적으로 보존할 수 있기 때문에 전원 공급의 여하에 관계없이 보존되어야 할 내용을 기억시키는데 주로 쓰여진다. 그렇지만,

상기 MROM, PROM, EPROM의 경우에는 일반 사용자들이 전자적 시스템을 통해 자체적으로 소거와 쓰기(또는 프로그램)를 행하는 작업이 자유롭지 않다. 즉, 온-보드(on-board)상태에서 프로그램된 내용을 소거하거나 재프로그램 하는 것이 용이하지 않은 것이다. 이와는 달리, 상기 EEPROM의 경우에는 전기적으로 소거와 쓰기를 행하는 작업이 시스템 자체적으로 가능하므로 지속적인 내용 갱신이 필요한 시스템 프로그램 저장장치나 보조기억장치로의 응용이 지속적으로 확대되고 있는 실정이다.

<12> 즉, 최근의 컴퓨터 또는 마이크로 프로세서에 의해 제어되는 여러 전자적 장치들은 고속의 전기적으로 소거 및 프로그램 가능한 상기 EEPROM의 개발을 더욱 요구하고 있는 것이다. 더욱이, 휴대용 컴퓨터 또는 노트북 크기의 배터리 전원 컴퓨터 시스템에서 보조 메모리 장치로써 회전 자기 디스크를 가지는 하드 디스크 장치를 사용하는 것은 상대적으로 넓은 면적을 점유하기 때문에 그러한 시스템의 설계자들은 보다 콤팩트하면서도 고속의 동작을 갖는 EEPROM의 개발에 큰 흥미를 가져왔다.

<13> EEPROM 설계기술이 진보됨에 따라 출현된 플래쉬 소거기능을 가지는 노아타입 플래쉬(Flash) EEPROM은 NAND 타입 또는 AND 타입의 EEPROM에 비해 빠른 프로그램(라이트)동작 및 리드동작을 가지므로 고속의 메모리를 요구하는 사용자에게 각광을 받고 있다. 이하에서는 후술될 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도없이 노아타입 플래쉬 메모리의 통상적인 동작이 설명된다.

<14> 노아타입 플래쉬 메모리의 메모리 셀 유닛을 이루는 메모리 셀 트랜지스터는 도 7에 도시된 바와 같은 수직단면 구조를 갖는다. 통상적인 노아 타입 메모

리 셀 트랜지스터의 단면 구조를 도시한 도 9A를 참조하면, 피(p)타입의 기판 (substrate:2)위에 엔(n)타입의 소오스 영역(3)이 형성되고, 상기 소오스 영역 (3)으로부터 피 타입 채널영역을 사이에 두고 엔 타입의 드레인 영역(4)이 형성 된다. 상기 피 타입 채널영역의 상부에는 100Å 이하의 얇은 절연막(5)에 의해 절연된 부유(플로팅)게이트(6) 전극이 형성되고, 상기 부유 게이트(6)전극의 상 부에는 또 다른 절연막(7)을 개재하여 워드라인으로도 불리워지는 제어(콘트롤) 게이트(8)전극이 형성된다.

<15> 상기 도 7과 같은 구조를 갖는 메모리 셀 트랜지스터의 동작을 동작모드별 인가 전압을 보인 도 8을 참조하여 설명한다. 상기 메모리 셀 트랜지스터의 동작 은 프로그램, 소거, 및 리드동작 모드로 나뉘어진다.

<16> 먼저, 프로그램 동작은 드레인 영역(4)과 인접한 채널영역에서 부유게이트 (6)로의 열전자 주입(hot electron injection)이 발생되도록 함에 의해 수행된다 . 도 8에서 보여지는 바와 같이, 상기 열전자 주입은, 상기 소오스 영역(3)과 피 타입의 기판영역(2)을 접지한 상태에서, 상기 제어 게이트(8) 전극에 높은 고전 압 예컨대 10V를 인가하고 상기 드레인 영역(4)에는 열전자를 발생시키기 위해 적당한 양의 전압 예컨대 5-6V를 인가함에 의해 수행된다. 상기한 방법으로 음 의 전하가 상기 부유게이트 (6)전극에 충분하게 축적되면, 상기 메모리 셀 트랜 지스터의 문턱전압이 프로그램 이전의 문턱전압보다 상승된다. 한편, 리드동작은 상기 소오스 영역(3)과 피타입의 기판영역(2)을 접지한 상태에서, 메모리 셀 트 랜지스터의 드레인 영역(4)에 양의 전압 예컨대 1V를 인가하고 상기 제어게이트 (8) 전극에는 일정한 전압 예컨대 4.5V를 인가함에 의해 이루어진다. 리드동작에

서 상기 프로그램 동작에 의해 높아진 문턱전압을 가지는 메모리 셀 트랜지스터는 오프 셀로서 동작되어 드레인 영역(4)으로부터 소오스영역(3)으로 전류가 흐르는 것을 막게 된다. 이 경우에 상기 메모리 셀 트랜지스터는 '오프-셀'이라고 불려진다. 상기 프로그램된 메모리 셀 트랜지스터들의 문턱전압은 통상적으로 약 6V-7V사이의 전압분포를 갖는다.

- <17> 상기 노아타입 플래쉬 메모리의 소거동작은, 기판에 형성되는 벌크영역에서 제어게이트로의 파울러 노드하임(Fowler-Nordheim) 터널링 (이하 F-N 터널링)현상을 발생시킴에 의해 수행된다. 상기 F-N 터널링 발생의 조건은 상기 제어게이트(8) 전극에 음의 고전압 예컨대 도 8에서 보여지는 바와 같이 -10V를 인가하고 상기의 벌크영역에는 F-N 터널링을 발생시키기 위한 적당한 양의 전압 예컨대 -5V를 인가하는 것이다. 이 경우에 드레인 영역(4)은 소거의 효과를 높이기 위해 하이 임피던스(high-impedance)로 해준다. 상기한 바와 같은 소거조건은 제어게이트(8) 전극과 벌크영역사이에 강한 전계를 형성시켜, 상기 F-N 터널링이 일어나게 한다. 이에 따라 상기 부유게이트(6) 전극내에 포획되어 있던 음의 전하는 소오스 영역(3)으로 방출된다. 통상적인 F-N 터널링은 절연막을 사이에 두고 6-7 MV/cm의 전계가 도전층에 인가되는 경우에 발생하는 것으로 알려져 있다. 상기한 메모리 셀 트랜지스터의 경우에도 상기 게이트 절연막(7)이 약 100Å의 두께로 형성되어 있어 상기 F-N 터널링의 발생이 가능해지는 것이다. 상기한 바와 같은 소거동작의 결과로서 상기 메모리 셀 트랜지스터의 문턱전압은 부유게이트(6) 전극에 전하가 축적되어 있을 경우에 비해 낮아지게 된다.

<18> 통상적인 플래쉬 메모리의 경우에 있어 각각의 벌크영역은 메모리의 고집적화를 위해 복수개의 셀별로 같이 연결되는데, 이로 인해 상기한 소거동작시 복수개의 셀들이 동시에 소거되어지며 소거 단위는 각각의 벌크영역이 분리된 영역에 따라 결정된다. 예컨대 64K byte 단위로 소거될 수 있는데 이 단위를 섹터(sector)라 한다.

<19> 리드동작이 수행되는 동안, 상기 소거동작에 의해 문턱전압이 낮아진 메모리 셀은 드레인 영역으로부터 소오스 영역으로의 형성되는 전류경로를 가지므로 온-셀(on-cell)로서 동작한다. 이 경우에 상기 메모리 셀 트랜지스터는 '온-셀'이라고 불려진다. 상기 소거된 메모리 셀 트랜지스터들의 문턱전압은 통상적으로 약 1V-3V사이의 전압분포를 갖는다. 그러나, 메모리 셀 트랜지스터들의 문턱전압을 낮추는 소거동작이 진행될 때, 복수개의 메모리 셀 트랜지스터들의 문턱전압에 대한 균일성(uniformity)에 기인하여 임의의 메모리 셀 트랜지스터들은 약 1V-3V사이의 전압분포를 벗어나 0V 이하의 문턱전압을 가질 수 있다. 이와 같이 0V이하의 문턱전압을 갖는 메모리 셀 트랜지스터를 오버(over) 소거된 셀이라고 한다. 그러한 오버소거된 셀에 대하여는 문턱전압이 약 1V-3V사이의 전압분포를 갖도록 해주는 큐어링동작(이하 소거 리페어 동작)을 필요로 한다. 상기 소거 리페어동작은 오버소거된 메모리 셀 트랜지스터의 소오스 영역(3)과 피타입 기판(2)을 접지하고 제어게이트(8) 전극에 양의 전압 예컨대 2V-5V를 인가하고 드레인 영역(4)에 양(+)의 전압 예컨대 6V-9V를 인가함에 의해 달성된다. 상기 소거 리페어의 결과로서 상기 프로그램 동작의 경우 보다는 적은 양의 음전하가 상기 부유 게이트(6) 전극에 축적되어 문턱전압이 상기 약 1V-3V사이에 있게 된다.

<20> 상기한 바와 같은 프로그램, 리드, 및 소거동작을 수행하는 복수개의 메모리 셀 트랜지스터들에 필요한 전압을 인가하기 위하여 각 섹터는 도 1에 도시된 바와 같은 연결구성을 갖는다. 도 1을 참조하면, 각 섹터의 구성은 메모리 셀 어레이를 구성하는 복수의 메모리 셀 트랜지스터들로 이루어진 셀어레이 블록(101)과, 컬럼 디코딩을 위해 상기 셀어레이 블록(101)에 연결된 컬럼 디코더 블록(102)을 포함한다. 상기 셀어레이 블록(101)에는 복수의 워드라인(WL0 - WLn-1)이 존재하며, 각기 하나의 워드라인(WLi)에는 n 개의 셀들의 게이트가 공통으로 연결된다. 또한, 복수의 비트라인(BL0 - BLm-1)이 존재하며, 각기 하나의 비트라인(BLi)에는 m 개의 셀들의 드레인이 공통으로 연결된다. 상기 m 개의 비트라인들은 각기 대응되는 컬럼 디코더를 통하여 대응되는 공통의 데이터 라인(DLi)에 연결되고, 상기 공통 데이터 라인들은 I 개(DL0- DLI-1)로 구성된다. 상기 공통 데이터 라인들은 각기 대응되는 라이트 드라이버(200, 210)와 센스앰프(300, 310)에 연결된다. 상기 셀어레이 블록(101)에 도시된 메모리 셀 트랜지스터들의 소오스 단자는 모두 동일한 소오스 라인(SL)에 연결되어 소오스 라인 드라이버(500)에 의해 구동된다. 상기 메모리 셀 트랜지스터들의 벌크 단자는 모두 동일한 벌크 라인(Bulk)에 연결되어 벌크 드라이버(400)에 의해 구동된다. 한편, 상기 컬럼 디코더 블록(102)을 구성하는 트랜지스터들(T1, T2, T3)의 벌크는 모두 0V의 전위로 접지된다.

<21> 도 2를 참조하면, 상기 셀어레이 블록(101)의 벌크영역과 상기 컬럼 디코더 블록(102)의 벌크영역이 각기 참조 부호 10과 11로서 나타낸 바와 같이 동일한 기판(1)내에서 서로 분리형성된 것이 보여진다. 이와 같이 벌크를 서로 독립적으

로 형성하는 이유는 소거시의 고전압이 데이터 라인에 영향을 주지 않도록 하기 위해서이다. 즉, 채널 소거 스킴으로 소거를 할 때, 셀어레이 블록(101)의 벌크 단자에 양의 고전압 예컨대 5V를 인가하게 되는데, 이 고전압이 데이터 라인(DL)에 인가되지 않도록 하는 것이다. 상기 고전압에 상기 데이터 라인(DL)이 영향받지 않도록 벌크를 서로 분리형성하고 컬럼 디코더 블록(102)내의 트랜지스터들 예컨대 트랜지스터(T1)의 게이트(G1)에 인가되는 패스신호(YPASSi)를 0V로 인가한다. 그러나, 도 2에 도시된 바와 같이 벌크 영역을 분리형성하는 것은 칩내에서의 레이아웃 면적을 크게 하는 문제점을 갖는다. 왜냐하면, 도 2에서 보여지는 셀어레이 블록(101)의 P-웰(10)과 컬럼 디코더 블록(102)의 P-웰(11) 간의 간격을 일정한 거리만큼 유지시켜 주어야 하기 때문이다. 그러므로, 레이아웃 면적이 증가됨에 따라 커지는 칩의 사이즈는 고집적화에 제한을 준다. 더욱이 칩내에서 상기 셀어레이 블록(101)들의 수와 컬럼 디코더 블록(102)의 수가 많을수록 집적도 측면에서의 오버헤드는 더욱 커진다.

<22> 상기한 바와 같이 종래의 노아 타입 플래쉬 메모리에서는 셀어레이 블록과 컬럼 디코더 블록내에 포함되는 트랜지스터 소자들의 벌크영역을 서로 분리형성 하였으므로 레이아웃 면적을 증가시켜 고집적화에 제한을 주는 문제점이 있어왔다.

<23> 따라서, 상기한 문제점을 해결하여 고집적화에 지장을 주는 요인을 해결할 수 있는 개선된 기술이 본 분야에서 절실히 요망된다.

【발명이 이루고자 하는 기술적 과제】

- <24> 본 발명의 목적은 노아타입 불휘발성 반도체 메모리 장치의 레이아웃 면적을 최소화 또는 줄일 수 있는 벌크영역 공유방법을 제공함에 있다.
- <25> 본 발명의 다른 목적은 노아타입 불휘발성 반도체 메모리 장치에서의 컬럼 디코더의 벌크영역 형성방법을 제공함에 있다.
- <26> 본 발명의 또 다른 목적은 불휘발성 반도체 메모리 장치의 셀어레이 블록과 컬럼 디코더 블록의 벌크영역 배치구조를 제공함에 있다.
- <27> 본 발명의 또 다른 목적은 칩 면적을 줄일 수 있는 공유벌크로 형성된 섹터 구조를 갖는 불휘발성 반도체 메모리 장치를 제공함에 있다.
- <28> 상기 목적들을 달성하기 위한 본 발명의 제1 양상(Aspect)에 따라, 불휘발성 반도체 메모리 장치의 섹터구조는, 섹터를 구성하는 셀어레이 블록의 메모리 셀 트랜지스터들과 컬럼 디코더 블록의 트랜지스터들이 하나의 벌크영역을 공유한 채로 형성된 것을 특징으로 한다.
- <29> 본 발명의 제2 양상에 따라, 노아타입 불휘발성 반도체 메모리 장치에서의 컬럼 디코더의 벌크영역 형성방법은, 상기 컬럼 디코더를 구성하는 트랜지스터들의 벌크영역을 상기 불휘발성 반도체 메모리 장치의 셀어레이 블록을 구성하는 메모리 셀 트랜지스터들의 벌크영역에 함께 형성하는 것을 특징으로 하는 구비함을 특징으로 한다.

【발명의 구성 및 작용】

<30> 상기한 본 발명의 목적들 및 타의 목적들, 특징, 그리고 이점들은, 첨부된 도면들을 참조하여 이하에서 기술되는 본 발명의 상세하고 바람직한 실시예의 설명에 의해 보다 명확해질 것이다. 도면들 내에서 서로 동일 내지 유사한 부분들은 설명 및 이해의 편의상 동일 내지 유사한 참조부호들로 기재됨을 주목하여야 한다.

<31> 도 3은 본 발명의 실시 예에 따른 노아타입 플래쉬 메모리의 섹터구성도이고, 도 4는 도 3에 따른 섹터의 단면구조도이다.

<32> 섹터(100)의 구성은 도 1과 유사하게 메모리 셀 어레이를 구성하는 복수의 메모리 셀 트랜지스터들로 이루어진 셀어레이 블록(101)과, 컬럼 디코딩을 위해 상기 셀어레이 블록(101)에 연결된 컬럼 디코더 블록(103)을 포함하며, 상기 셀어레이 블록(101)에는 복수의 워드라인(WL0 - WLn-1)이 존재하며, 각기 하나의 워드라인(WLi)에는 n 개의 셀들의 게이트가 공통으로 연결된다. 또한, 복수의 비트라인(BL0 - BLm-1)이 존재하며, 각기 하나의 비트라인(BLi)에는 m 개의 셀들의 드레인이 공통으로 연결된다. 상기 m 개의 비트라인들은 각기 대응되는 컬럼 디코더를 통하여 대응되는 공통의 데이터 라인(DLi)에 연결되고, 상기 공통 데이터 라인들은 I 개(DL0- DLI-1)로 구성된다. 상기 공통 데이터 라인들은 각기 대응되는 라이트 드라이버(200,210)와 센스앰프(300,310)에 연결된다.

<33> 도 1의 구성과는 구별되게, 본 발명의 목적을 달성하기 위해, 상기 셀어레이 블록(101)에 도시된 메모리 셀 트랜지스터들의 벌크단자는 상기 컬럼 디코더

블록(103)을 구성하는 트랜지스터들(T1,T2,T3)의 벌크단자와 함께 공통으로 벌크 드라이버(400)에 연결되어 있다. 즉, 상기 메모리 셀 트랜지스터들과 상기 트랜지스터들(T1,T2,T3)은 칩내에서의 레이아웃 면적을 줄이기 위해 하나의 동일한 벌크영역을 공유하면서 형성되어 있는 것이다. 본 실시예에서의 벌크영역은 기판상에 형성된 포켓타입 P 웰(Well)을 의미한다. 그러나 사안이 다른 경우에 상기 벌크영역은 다른 도전형 웰 또는 기판자체일 수 있다. 한편, 상기 상기 셀어레이 블록(101)에 도시된 메모리 셀 트랜지스터들의 소오스 단자는 모두 동일한 소오스 라인(SL)에 연결되어 소오스 라인 드라이버(500)에 의해 구동된다.

<34> 도 4를 참조하면, 기판(1)에 형성된 벌크영역으로서의 P웰(10)상에 상기 셀어레이 블록(101)의 메모리 셀 트랜지스터들(M1,M11,M1m)과 상기 컬럼 디코더 블록(103)의 트랜지스터(T1)가 함께 형성된 구조가 보여진다. 즉, 하나의 동일한 벌크영역(10)내에 섹터를 구성하는 트랜지스터들이 형성되는 것이다. 상기 벌크영역(10)내에 보여지는 고농도 P형 웰(A1)은 벌크라인(Bulk)과 연결되어, 접촉저항을 최소화하면서 벌크전압을 수신한다. 상기 도 4의 단면구조를 도 2와 대조시각기 독립적으로 동일한 P웰을 형성하는 종래의 경우에 비해 하나의 동일한 P웰을 공유하는 구조를 갖는 본 발명의 실시 예의 구조에 따르면, P웰을 일정거리만큼 이격시킬 필요가 없으므로 칩의 레이아웃 면적은 그만큼 줄어든다.

<35> 도 5는 도 3내의 소오스 라인 드라이버의 구체도이다. 도 5를 참조하면, 소거모드에서 인가되는 소거신호(Erase)를 수신하여 반전하는 인버터(502)와, 상기 인버터(502)의 출력에 응답하여 소오스라인(SL)의 전위를 접지전압의 레벨로 설정하는 엔형 모오스 트랜지스터(503)는 상기 소오스 라인 드라이버(500)에 포함

된다. 여기서, 상기 소거모드에서 상기 소거신호(Erase)는 논리 로우레벨로 인가되고, 타의 동작모드에서 상기 소거신호(Erase)는 논리 하이를 유지한다. 이에 따라 소거모드에서 상기 트랜지스터(503)는 게이트 단자로 하이레벨을 수신하여 턴온되고, 그 결과로서 상기 소오스라인(SL)의 전위는 접지전압의 레벨 예컨대 0V로 설정된다.

<36> 도 6은 도 3내의 벌크 드라이버의 구체도로서, 상기 소거신호(Erase)를 반전하는 인버터(402)와, 상기 인버터(402)의 출력을 반전하는 인버터(I1)는 상기 벌크 드라이버(400)를 구성한다. 상기 인버터(I1)는 씨모오스 인버터로서 피형 모오스 트랜지스터(403)와 엔형 모오스 트랜지스터(404)로 구성된다. 상기 인버터(I1)의 출력단은 벌크라인(Bulk)과 연결되어, 상기 도 4의 P웰(10)에 벌크전압을 인가한다. 상기 인버터(402)와 상기 인버터(I1)는 공통으로 벌크전압(Vbulk)을 자신들의 소오스단을 통해 동작전압으로서 수신한다.

<37> 다시 도 3 및 도 4를 참조하여, 본 발명의 실시 예의 섹터 구조에 따른 소거동작을 설명한다. 본 발명의 실시 예의 경우에도 마찬가지로 섹터단위의 소거가 수행되어진다. 상기 섹터단위의 소거는 동일한 벌크영역에 형성된 메모리 셀 트랜지스터들을 모두 한꺼번에 소거하는 것을 말한다. 예컨대 하나의 섹터는 64K byte의 메모리 셀 트랜지스터들을 포함할 수 있다. 기판에 형성되는 벌크영역에서 제어게이트로의 F-N 터널링을 발생시키기 위해, 상기 제어게이트(8) 전극에 -10V를 인가하고 상기의 벌크영역에는 5V를 인가한다. 드레인 영역(4)은 하이 임피던스(high-impedance)로 설정한다. 상기한 바와 같이 함에 의해, 제어게이트(8) 전극과 벌크영역사이에 강한 전계가 형성되어, 상기 F-N 터널링이 일어나고,

이에 따라 상기 부유게이트(6) 전극내에 포획되어 있던 음의 전하는 소오스 영역(3)으로 방출된다. 상기한 바와 같은 소거동작의 결과로서 상기 메모리 셀 트랜지스터의 문턱전압은 부유게이트(6) 전극에 전하가 축적되어 있을 경우에 비해서 낮아지게 된다.

<38> 상기한 바와 같은 섹터단위의 소거동작에서, 본 발명의 실시 예에 따른 섹터구조에 의해, 셀어레이 블록(101)의 벌크단자에 상기 5V를 인가시, 상기 5V의 벌크전압은 도 4의 n웰(A9)에 연결된 데이터 라인(DL)에도 pn접합을 통해 함께 인가된다. 그러나, 이 경우에 라이트 드라이버(200,210)나 센스앰프(300,310)의 동작은 소거동작에서 하이 임피던스 상태로 되어 있으므로 회로의 동작에는 아무런 영향을 미치지 않는다.

<39> 상기한 바와 같은 개선된 섹터구성으로 본 발명에서는 레이아웃 면적을 최소화하는 효과를 갖는다. 따라서, 섹터의 수가 많을수록 레이아웃 측면의 오버헤드를 대폭적으로 줄일 수 있게 된다.

<40> 상기한 설명은 본 발명의 실시 예를 위주로 도시된 도면들을 따라 예를 들어 한정되었지만, 이는 일 예에 불과하며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 변화와 변형이 가능함은 물론이다. 예를 들어, 공유 벌크를 낸드나 앤드구조를 갖는 불휘발성 반도체 메모리의 경우에도 적용할 수 있음은 물론이다. 더구나, 구체도에서 보여지는 논리 게이트들은 타의 등가적 회로 소자 또는 타의 논리 소자들로 대체 가능함은 물론이다.

【발명의 효과】

<41> 상기한 바와 같은 본 발명의 섹터구조에 따르면, 레이아웃 면적을 최소화 또는 줄이는 효과가 있다. 따라서, 고속동작에 지장을 초래함이 없이 고집적 메모리를 제공하는 장점을 갖는다.

【특허청구범위】**【청구항 1】**

제1 또는 제2 논리상태를 가지는 메모리 셀들을 복수의 비트 정보를 가지는 입력 데이터에 응답하여 프로그램하며 섹터단위로 소거하는 불휘발성 반도체 메모리 장치에 있어서:

셀어레이 블록의 메모리 셀 트랜지스터들과 컬럼 디코더 블록의 트랜지스터들이 하나의 벌크영역을 공유한 채로 형성된 섹터들을 복수로 가짐을 특징으로 하는 장치.

【청구항 2】

불휘발성 반도체 메모리 장치의 섹터 구조에 있어서:

상기 섹터를 구성하는 셀어레이 블록의 메모리 셀 트랜지스터들과 컬럼 디코더 블록의 트랜지스터들이 하나의 벌크영역을 공유한 채로 형성된 것을 특징으로 하는 구조.

【청구항 3】

복수의 워드라인들중 각기 대응되는 워드라인에 게이트들이 연결되고 복수의 비트라인들중 각기 대응되는 비트라인에 동일한 워드라인을 공유하지 않는 드레인들이 연결된 복수의 메모리 셀 트랜지스터들로 이루어진 셀 어레이 블록과; 상기 셀 어레이 블록내의 메모리 셀 트랜지스터들의 소오스들에 공통으로 연결되

어 소오스 전압을 인가하는 소오스 라인 드라이버와; 상기 복수의 비트라인들중 하나의 비트라인을 선택하기 위해 복수의 비트라인들과 공통데이터 라인간에 연결된 복수의 컬럼 디코더로 이루어진 섹터를 복수로 구비한 불휘발성 반도체 메모리 장치에 있어서:

상기 복수의 메모리 셀 트랜지스터와 상기 복수의 컬럼 디코더의 트랜지스터들이 동일한 웰상에 형성되도록 하여 벌크영역이 공유되게 함에 의해, 상기 동일한 벌크영역으로 벌크전압을 공통으로 인가하는 벌크 드라이버를 상기 섹터마다 구비함을 특징으로 하는 불휘발성 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 불휘발성 반도체 메모리 장치는 노아 타입 플래쉬 EEPROM임을 특징으로 하는 불휘발성 반도체 메모리 장치.

【청구항 5】

제3항에 있어서, 상기 벌크영역은 포켓 피웰임을 특징으로 하는 불휘발성 반도체 메모리 장치.

【청구항 6】

소거신호에 응답하여 섹터단위로 전기적으로 소거하는 것이 가능한 불휘발성 반도체 메모리 장치에 있어서,

하나의 벌크영역에 단위 섹터들을 구성하는 셀어레이 블록의 메모리 셀 트랜지스터들과 컬럼 디코더의 트랜지스터들을 함께 배치하여 벌크전압을 공통으로 수신하도록 한 것을 특징으로 하는 장치.

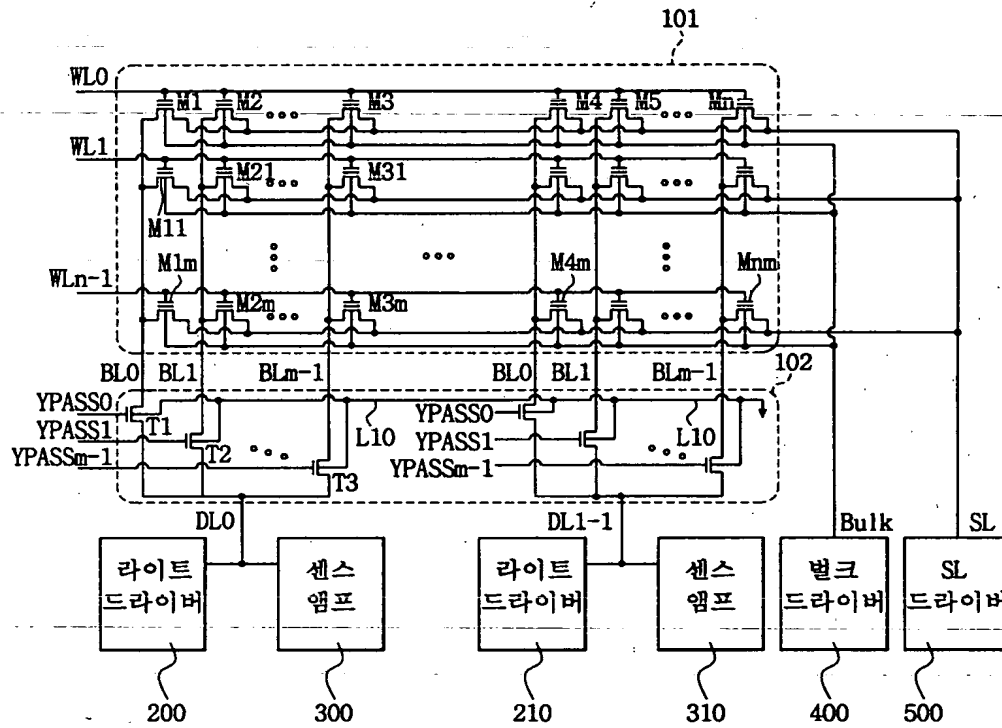
【청구항 7】

노아타입 불휘발성 반도체 메모리 장치에서의 컬럼 디코더의 벌크영역 형성 방법에 있어서,

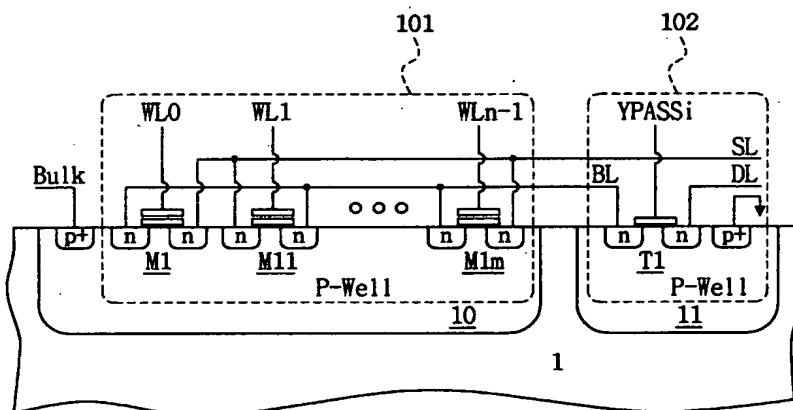
상기 컬럼 디코더를 구성하는 트랜지스터들의 벌크영역을 상기 불휘발성 반도체 메모리 장치의 셀어레이 블록을 구성하는 메모리 셀 트랜지스터들의 벌크영역에 함께 형성하는 것을 특징으로 하는 방법.

【도면】

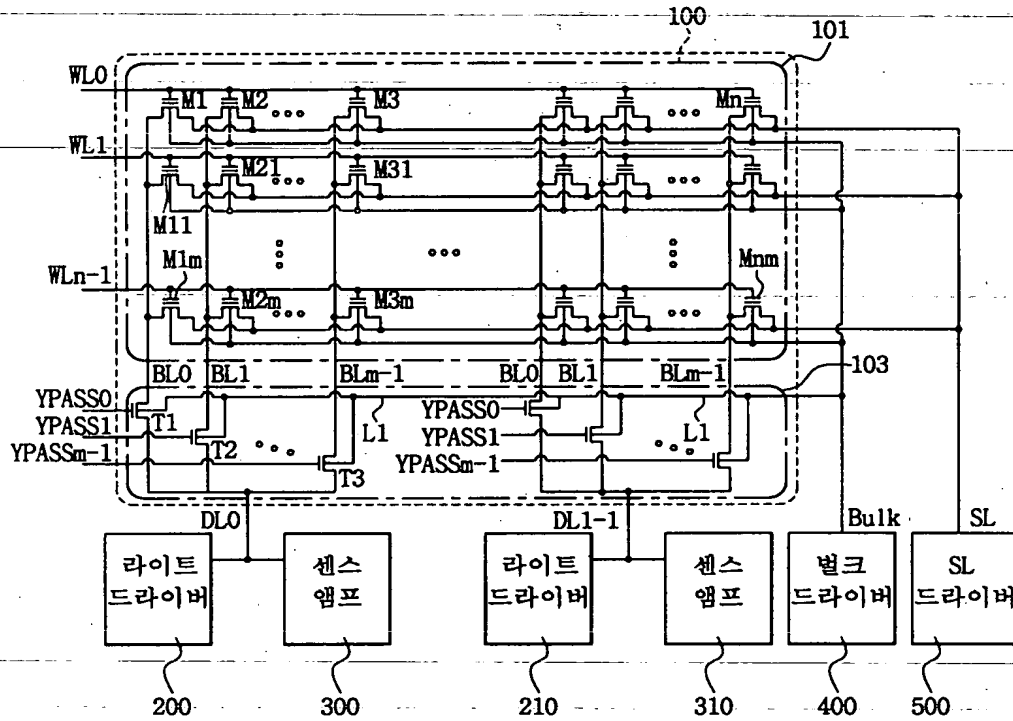
【도 1】



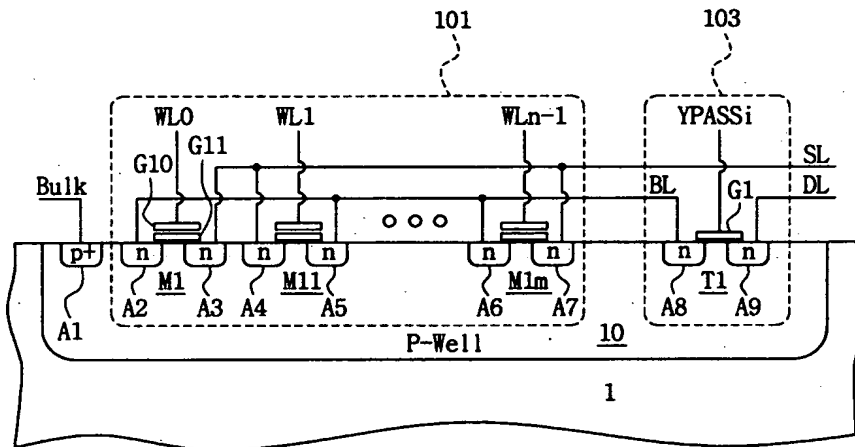
【도 2】



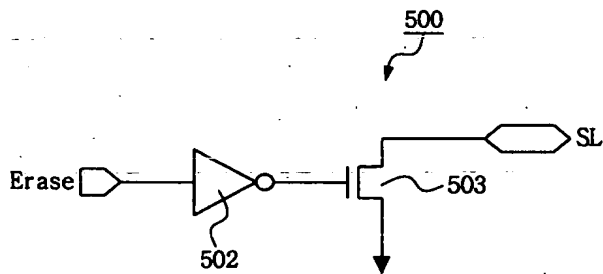
【도 3】



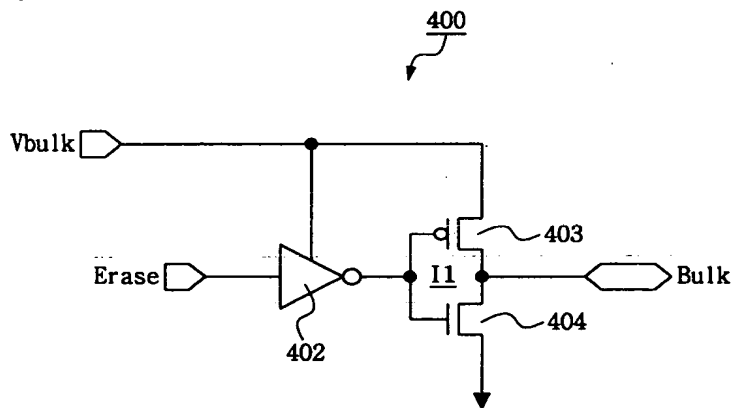
【도 4】



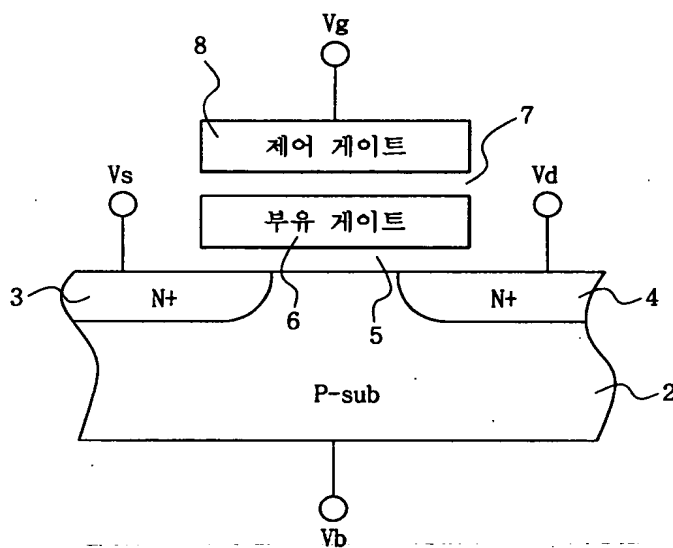
【도 5】



【도 6】



【도 7】



【도 8】

동작 Mode	Vg	Vd	Vs	Vb
Program	+10V	+5V ~ +6V	0V	0V
Erase	-10V	Floating	Floating	+5V
Read	+4.5V	+1V	0V	0V